|  |
| --- |
|  |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА - Российский технологический университет»**  **РТУ МИРЭА** |

Институт Информационных Технологий

Кафедра Вычислительной Техники (ВТ)

**ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ №** 6

«Проблемы тактирования»

по дисциплине

«Схемотехника устройств компьютерных систем»

|  |  |
| --- | --- |
| Выполнил студент группы  ИВБО-08-22 | Стецюк В.В. |
| Принял ассистент кафедры ВТ | Дуксин Н.А. |
| Практическая работа выполнена | «\_\_»\_\_\_\_\_\_\_2024 г. |
| «Зачтено» | «\_\_»\_\_\_\_\_\_\_2024 г. |

Москва 2024

АННОТАЦИЯ

Данная работа включает в себя 4 рисунка и 2 листинга. Количество страниц в работе — 10.

СОДЕРЖАНИЕ

[ВВЕДЕНИЕ 4](#_Toc166168487)

[1 ДОБАВЛЕНИЕ IP-ЯДРА PLL И MMCM 5](#_Toc166168488)

[2 СОЗДАНИЕ И ТЕСТИРОВАНИЕ МОДУЛЯ ВЕРХНЕГО УРОВНЯ 7](#_Toc166168489)

[2.1 Создание модуля верхнего уровня 7](#_Toc166168490)

[2.2 Верификация модуля верхнего уровня 7](#_Toc166168491)

[ЗАКЛЮЧЕНИЕ 9](#_Toc166168492)

[СПИСОК ИСПОЛЬЗУЕМЫХ ИСТОЧНИКОВ 10](#_Toc166168493)

ВВЕДЕНИЕ

В практической работе рассматриваются вопросы организации тактовых ресурсов ПЛИС, выделяются особенности блоков ресинхронизации и способов их применения, а также изучаются принципы построения проектных ограничений для организации грамотного размещения проекта с точки зрения временных ограничений, а также приемы проектирования, позволяющие уменьшить негативное воздействие эффектов, связанных с распространением сигнала.

# 1 ДОБАВЛЕНИЕ IP-ЯДРА PLL И MMCM

В проект было добавлено IP-ядро PLL (Рисунок 1.1).

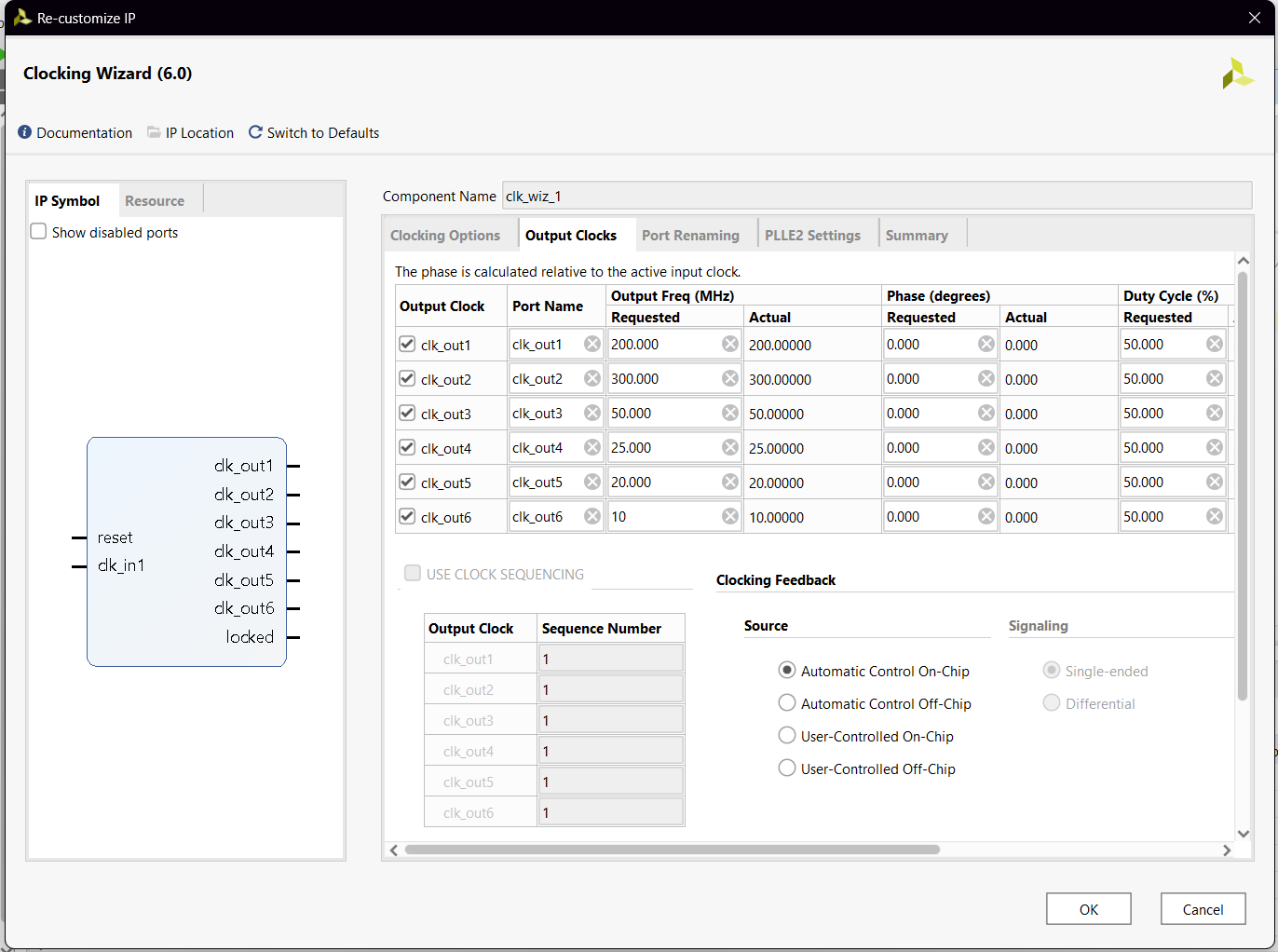


Рисунок 1.1 – Параметры IP-ядра PLL

Далее было добавлено IP-ядро MMCM (Рисунок 1.2).

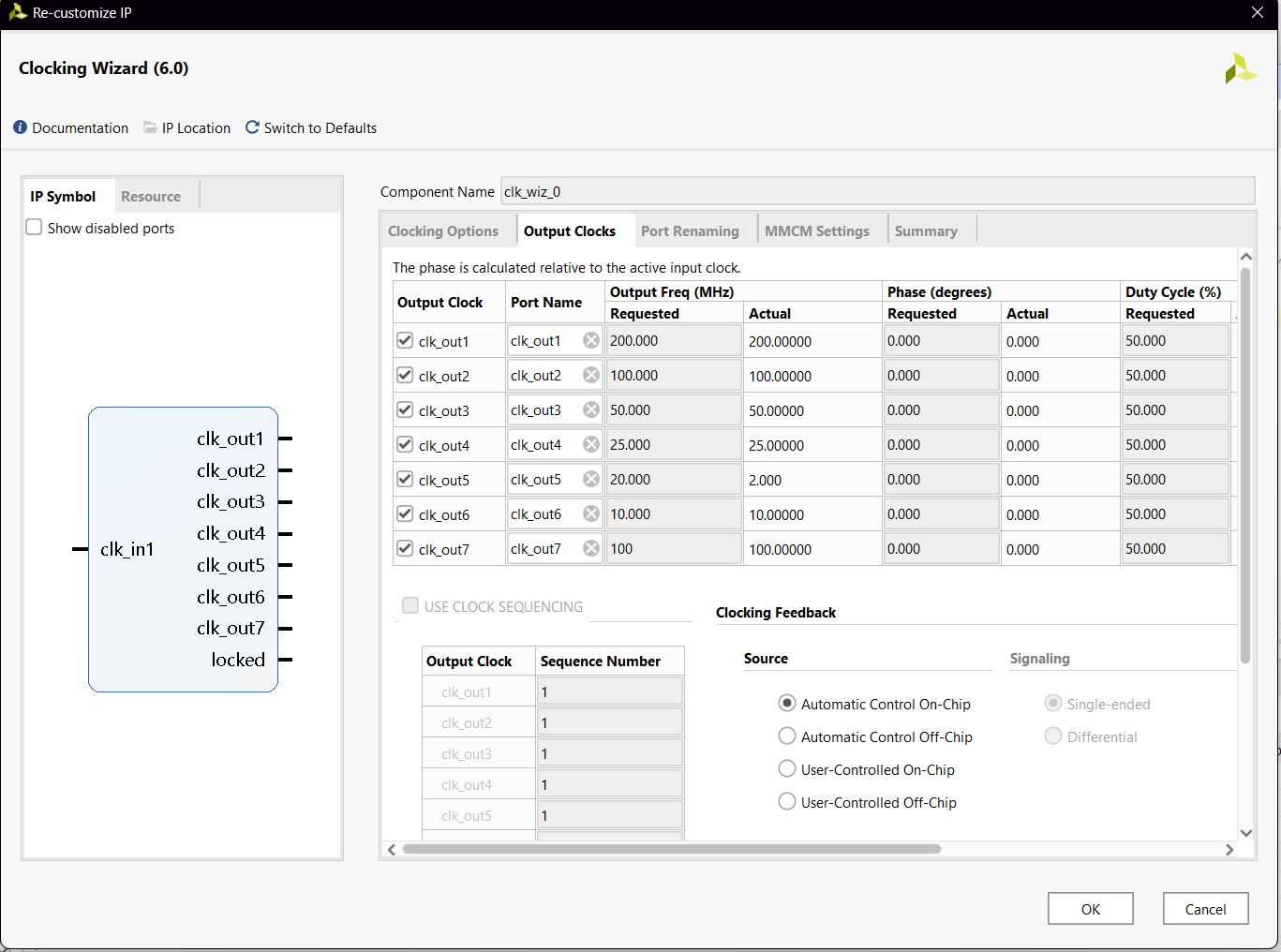


Рисунок 1.2 – Параметры IP-ядра MMCM

Для достижения заданных параметров было разблокировано редактирование параметров в разделе MMCM Settings и установлены следующие значения (Рисунок 1.3):

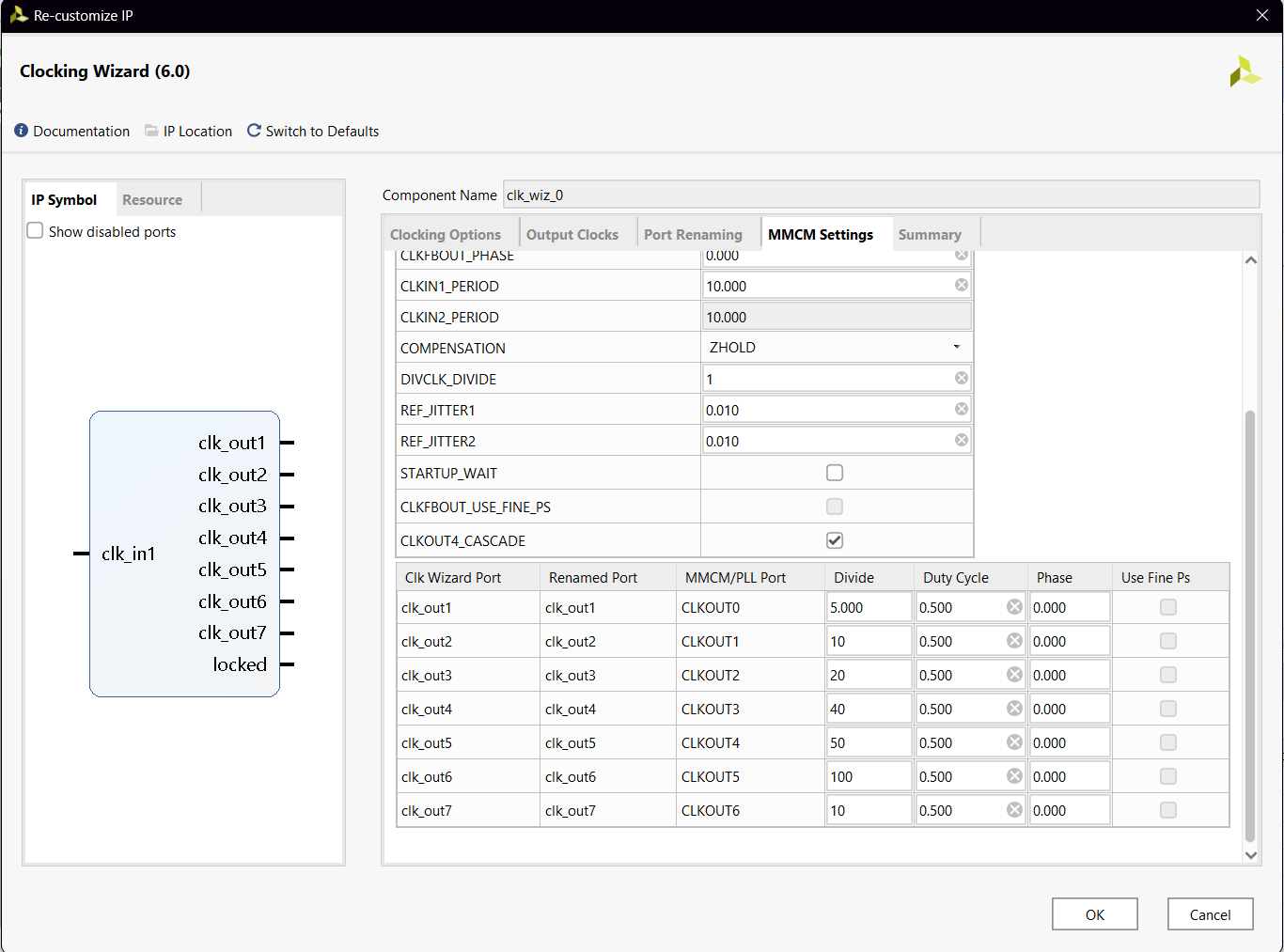


Рисунок 1.3 – Разблокированные настройки IP-ядра MMCM

# 2 СОЗДАНИЕ И ТЕСТИРОВАНИЕ МОДУЛЯ ВЕРХНЕГО УРОВНЯ

## 2.1 Создание модуля верхнего уровня

Был создан модуль, который включает в себя оба созданных IP-ядра. Код модуля верхнего уровня представлен на Листинге 2.1.

Листинг 2.1 – Модуль верхнего уровня

`timescale 1ns / 1ps

module top(

input clk,

output [6:0] mmcm\_clk,

output [5:0] pll\_clk

);

wire mmcm\_locked;

clk\_wiz\_0 mmcm (

.clk\_in1(clk),

.clk\_out1(mmcm\_clk[0]),

.clk\_out2(mmcm\_clk[1]),

.clk\_out3(mmcm\_clk[2]),

.clk\_out4(mmcm\_clk[3]),

.clk\_out5(mmcm\_clk[4]),

.clk\_out6(mmcm\_clk[5]),

.clk\_out7(mmcm\_clk[6]),

.locked(mmcm\_locked)

);

wire pll\_locked;

clk\_wiz\_1 pll (

.clk\_in1(clk),

.clk\_out1(pll\_clk[0]),

.clk\_out2(pll\_clk[1]),

.clk\_out3(pll\_clk[2]),

.clk\_out4(pll\_clk[3]),

.clk\_out5(pll\_clk[4]),

.clk\_out6(pll\_clk[5]),

.locked(pll\_locked)

);

endmodule

## 2.2 Верификация модуля верхнего уровня

Далее был создан тестовый модуль для верификации (Листинг 2.2).

Листинг 2.1 – Модуль верхнего уровня

`timescale 1ns / 1ps

module test();

Продолжение Листинга 2.1

reg clk = 0;

always #5 clk <= ~clk;

wire [6:0] mmcm\_clk;

wire [5:0] pll\_clk;

top uut(

.clk(clk),

.mmcm\_clk(mmcm\_clk),

.pll\_clk(pll\_clk)

);

endmodule

Результат верификации представлен на Рисунке 2.1.

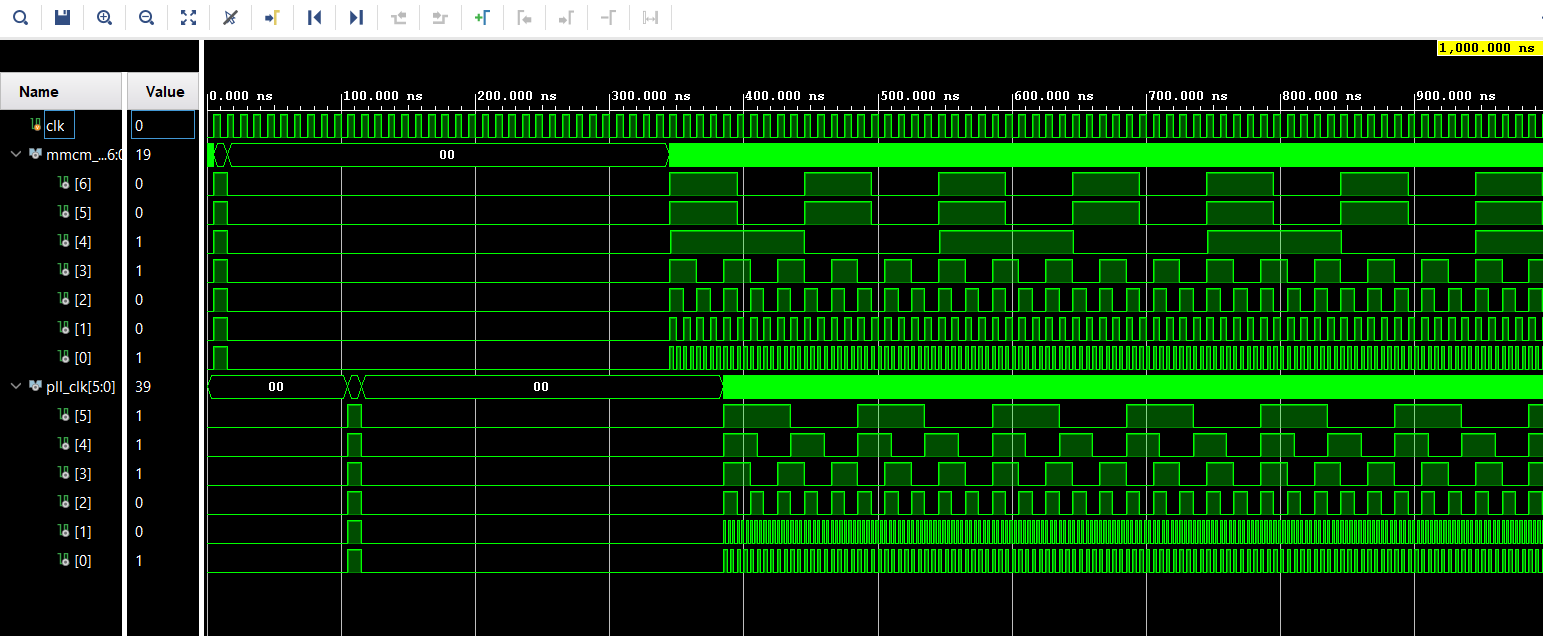


Рисунок 2.1 – Временная диаграмма тестового модуля

На временной диаграмме видно, что частоты всех выходных сигналов совпадают с необходимыми значениями.

ЗАКЛЮЧЕНИЕ

В результате выполнения практической работы были изучены основные аспекты и способы распространения синхросигналов в проектах на базе ПЛИС, изучены структуры и способы применения блоков ресинхронизации.

СПИСОК ИСПОЛЬЗУЕМЫХ ИСТОЧНИКОВ

1. Методические указания по ПР № 6 – <https://online-edu.mirea.ru/pluginfile.php?file=%2F1225654%2Fmod_assign%2Fintroattachment%2F0%2F%D0%9F%D1%80%D0%B0%D0%BA%D1%82%D0%B8%D1%87%D0%B5%D1%81%D0%BA%D0%B0%D1%8F%20%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%B0%206.pdf&amp;forcedownload=1> (Дата обращения: 09.05.2024)

2. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия — Телеком, 2021. — 538 с.: ил.

3. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов — М., МИРЭА — Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).